

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

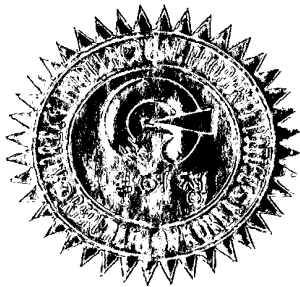
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0068749
Application Number

출원년월일 : 2002년 11월 07일
Date of Application NOV 07, 2002

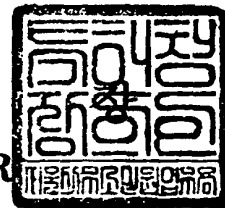
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 20 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.07
【국제특허분류】	H01L
【발명의 명칭】	셀프 리프레쉬 장치
【발명의 영문명칭】	Self refresh apparatus
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	김태윤
【성명의 영문표기】	KIM,Tae Yun
【주민등록번호】	660201-1552715
【우편번호】	369-800
【주소】	충청북도 음성군 읍내리 청솔아파트 1106호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	13 면 13,000 원

1020020068749

출력 일자: 2003/5/21

【우선권 주장료】	0	건	0	원
【심사청구료】	22	항	813,000	원
【합계】	855,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 셀프 리프레쉬 장치에 관한 것으로, 특히 셀프 리프레쉬 동작에서 리프레쉬가 필요한 셀 어레이에 대해서만 선택적으로 리프레쉬를 수행하는 PASR(Partial Array Self Refresh) 장치에 관한 것이다. 이러한 본 발명은 셀프 리프레쉬에 정보를 EMRS(Extended Mode Register Set) 코드로 설정하고, 뱅크 선택 어드레스에 따라 셀 어레이를 선택적으로 활성화시킴으로써, 셀프 리프레쉬 동작시 리프레쉬가 필요없는 셀 어레이에 대하여는 리프레쉬를 수행하지 않고 리프레쉬가 필요한 셀 어레이에 대해서만 선택적으로 리프레쉬를 수행하게 된다. 따라서, 본 발명은 메모리의 소비 전력을 획기적으로 줄일 수 있고, 피크 동작 전류를 줄임으로써 노이즈를 감소시킬 수 있도록 하는 효과를 제공한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

셀프 리프레쉬 장치{Self refresh apparatus}

【도면의 간단한 설명】

- 도 1은 본 발명의 EMRS 코드를 나타내는 도면.
도 2는 본 발명의 셀프 리프레쉬 진입 및 종료에 관한 동작 타이밍도.
도 3은 본 발명에 따른 셀프 리프레쉬 장치의 구성도.
도 4는 본 발명에 따른 셀프 리프레쉬 장치의 동작 타이밍도.
도 5는 도 3의 PASR 디코더의 상세 구성도.
도 6은 도 5의 EMRS 디코더의 상세 회로도.
도 7은 도 5의 EMRS 어드레스 래치의 상세 회로도.
도 8은 도 5의 PASR 제어부의 상세 회로도.
도 9는 도 3의 RAS 발생부에 관한 상세 회로도.
도 10은 도 9의 RAS 발생부를 제어하는 제어신호들에 관한 동작 타이밍도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 셀프 리프레쉬 장치에 관한 것으로, 특히 반도체 메모리 장치의 셀프 리프레쉬 동작시 메모리의 소비 전력을 획기적으로 줄일 수 있도록 하는 셀프 리프레쉬 장치에 관한 것이다.

- <12> 대부분의 컴퓨터 시스템의 주기억 장치로 사용되는 디램(DRAM)은 셀의 데이터 손실을 방지하기 위하여 리프레쉬가 필요한 메모리이다. 특히, 노트북이나 PDA(Personal Digital Assistant) 등의 휴대용 기기는 스탠바이시의 소비전력이 적어야 하기 때문에 스탠바이 상태에서 데이터를 보존할 수 있는 동작 전류를 줄이는 것은 중요하다.
- <13> 이러한 저전력 휴대용 기기에 사용되는 디램은 스탠바이 상태에서 데이터를 보존하기 위해 대부분 셀프 리프레쉬(Self refresh) 동작을 수행한다. 따라서, 셀프 리프레쉬 기간동안 소모하는 동작 전류 IDD6를 줄여야만 소비 전력을 줄일 수 있게 된다.
- <14> 그런데, 종래의 반도체 메모리 장치(DRAM)는 셀의 데이터 저장 여부와 상관없이 모든 셀 어레이에 대하여 무조건 리프레쉬 동작을 수행한다. 따라서, 데이터가 저장되지 않은 셀 어레이에 대해서도 리프레쉬 동작이 수행되어 불필요한 전력을 소모하게 되는 문제점이 있다.
- <15> 이러한 문제점을 해결하기 위해 리프레쉬가 필요한 셀 어레이에 대해서만 선택적으로 리프레쉬를 수행할 경우, 메모리 내부에서 어떤 셀 어레이가 데이터를 저장하고 있는지의 여부를 기억하는 장치가 별도로 있어야 한다. 이러한 경우 반도체 메모리의 칩 사이즈가 증가하게 되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <16> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, बैं크 선택 어드레스에 따라 활성화되는 셀 어레이에 대해서만 선택적으로 리프레쉬를 수행하여 메모리의 소비 전력을 줄일 수 있도록 하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <17> 상기한 목적을 달성하기 위한 본 발명의 셀프 리프레쉬 장치는, 확장 모드 레지스터 셋트 코드로 기설정된 어드레스를 모드 레지스터 셋트 신호에 따라 디코딩하여 래치하고, 셀프 리프레쉬 신호의 활성화시 해당 어드레스를 조합하여 부분 어레이 셀프 리프레쉬 동작을 수행하기 위한 복수개의 제어신호들을 선택적으로 출력하는 부분 어레이 셀프 리프레쉬 디코더 및 복수개의 제어신호들의 활성화시 로오 액티브 신호를 출력하여 선택된 로오 어드레스에 해당하는 뱅크를 활성화시키는 로오 어드레스 스트로브 발생부를 구비함을 특징으로 한다.
- <18> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.
- <19> 도 1은 본 발명에 따른 리프레쉬 장치의 리프레쉬 형태를 적용한 EMRS 코드를 나타낸다.
- <20> 본 발명은 리프레쉬가 필요한 셀 어레이에 대해서만 리프레쉬 동작을 수행하게 되는데, 이러한 셀프 리프레쉬 방법을 부분 어레이 셀프 리프레쉬(Partial Array Self Refresh;이하, PASR이라고 지칭함)라고 한다.
- <21> EMRS 코드 중 어드레스 A0~A2는 PASR(Partial Array Self Refresh) 설정을 위한 코드로 사용된다. 따라서, 외부로부터 EMRS 명령의 입력시 도 1과 같은 EMRS 코드에 따라 해당하는 형태의 셀프 리프레쉬를 수행한다.
- <22> 먼저, 어드레스 A0~A2가 모두 0이 되는 경우 "모든 뱅크"를 적용하여 노말 동작에서와 같이 전체 셀을 대상으로 셀프 리프레쉬를 수행한다.

- <23> 어드레스 A0만 1이 되는 경우 "하프(Half) 어레이"를 적용하여 전체 셀 어레이 중 절반에 해당하는 셀 어레이를 대상으로 셀프 리프레쉬를 수행한다. 즉, 4뱅크 구조의 디램일 경우 2뱅크에 대하여만 셀프 리프레쉬를 수행한다. 여기서, 뱅크 선택 어드레스 BA1는 0이 된다.
- <24> 어드레스 A1만 1이 되는 경우 "쿼터(Quarter) 어레이"를 적용하여 전체 셀 어레이 중 쿼터에 해당하는 셀 어레이를 대상으로 셀프 리프레쉬를 수행한다. 즉, 4뱅크 구조의 디램일 경우 1뱅크에 대하여만 셀프 리프레쉬를 수행한다. 여기서, 뱅크 선택 어드레스 BA0, BA1는 모두 0이 된다.
- <25> 또한, 어드레스 A1만 0이 되는 경우 "하프 오프 뱅크"를 적용하여 한 뱅크 중 하프에 해당하는 셀 어레이를 대상으로 셀프 리프레쉬를 수행한다. 즉, 4뱅크 구조의 디램일 경우 1뱅크 중의 하프에 해당하는 셀 어레이에 대해서만 셀프 리프레쉬를 수행한다. 이때, 로오 어드레스의 최상위 비트(MSB; Most Significant Bit)인 뱅크 선택 어드레스 BA0, BA1 중 하나가 0이 된다.
- <26> 어드레스 A0만 0이 되는 경우 "쿼터 오프 뱅크"를 적용하여 한 뱅크 중 쿼터에 해당하는 셀 어레이를 대상으로 셀프 리프레쉬를 수행한다. 즉, 4뱅크 구조의 디램일 경우 1뱅크 중의 쿼터에 해당하는 셀 어레이에 대해서만 셀프 리프레쉬를 수행한다. 이때, 로오 어드레스의 최상위 비트인 뱅크 선택 어드레스 BA0, BA1는 모두 0이 된다.
- <27> 그 외에도, 어드레스 A2만 0일 경우, 어드레스 A2만 1일 경우 및 어드레스 A0~A2가 모두 1일 경우에는 RFU(Reserved for Future Use) 코드로 사용한다.

- <28> 도 2는 본 발명의 PASR 동작시 셀프 리프레쉬 진입 및 종료에 관한 동작 타이밍도를 나타낸다.
- <29> 먼저, EMRS 코드에 PASR의 타입을 미리 셋팅한 후, 셀프 리프레쉬 명령 SREF이 인가되면 셀프 리프레쉬 동작의 수행시 미리 셋팅된 PASR 타입에 따라 셀프 리프레쉬 동작을 수행하게 된다. 따라서, EMRS 코드에 셋팅된 셀 어레이만 선택적으로 셀프 리프레쉬를 수행한다.
- <30> 다음에, 클럭 CKE이 하이로 인에이블 되어 셀프 리프레쉬 종료 명령 SREX이 인가되면, 셀프 리프레쉬가 종료되어 노말 동작을 수행한다. 노말 동작시에는 모든 셀 어레이에 대하여 리프레쉬 동작을 수행한다.
- <31> 이후에, 다시 셀프 리프레쉬 명령 SREF이 인가되면 기설정된 EMRS 코드에 따라 PASR 동작을 수행한다.
- <32> 도 3은 본 발명에 따른 셀프 리프레쉬 장치에 관한 구성도이다.
- <33> 본 발명은 어드레스 버퍼(10)와, 명령 디코더(20)와, 리프레쉬 카운터(30)와, PASR 디코더(40)와, RAS(Row Address Strobe)발생부(50~80)와, 내부 어드레스 카운터(90)와, 로오 프리 디코더(100)와, 뱅크 제어 블록(110~140) 및 셀 어레이 단위의 뱅크(150~180)를 구비한다.
- <34> 여기서, 어드레스 버퍼(10)는 외부로부터 인가되는 어드레스 $a<0:n>$ 를 버퍼링하여 버퍼링된 어드레스 $add<0:n>$ 를 출력한다.

- <35> 명령 디코더(20)는 외부로부터 인가되는 명령 신호 com을 디코딩하여 모드 레지스터 세트 신호 mregset와, 셀프 리프레쉬 신호 sref 및 리프레쉬 플래그 신호 ref_flag를 출력한다.
- <36> 리프레쉬 카운터(30)는 셀프 리프레쉬 동작임을 나타내는 리프레쉬 플래그 신호 ref_flag가 활성화되면, 리프레쉬 주기에 해당하는 카운팅 동작을 수행하여 리프레쉬 레이트에 해당하는 시간에 리프레쉬 요구 신호 ref_req를 발생한다.
- <37> PASR디코더(40)는 명령 디코더(20)로부터 인가되는 모드 레지스터 세트 신호 mregset 및 셀프 리프레쉬 신호 sref와, 뱅크 선택 어드레스 add<n>, add<n-1>와, 어드레스 add<0:2>를 디코딩하여 미리 셋팅된 코드에 따라 PASR 동작을 수행한다.
- <38> RAS(Row Address Strobe;로오 어드레스 스트로브)발생부(50)는 노말 동작 신호 n_act와 리프레쉬 동작 신호 r_act와 뱅크 선택 어드레스 add_bk0 및 제어신호 pasr_bk0에 따라 뱅크 제어 블록(110)에 로오 액티브 신호 row_act를 발생한다.
- <39> RAS발생부(60)는 노말 동작 신호 n_act와 리프레쉬 동작 신호 r_act와 뱅크 선택 어드레스 add_bk1 및 제어신호 pasr_bk1에 따라 뱅크 제어 블록(120)에 로오 액티브 신호 row_act를 발생한다.
- <40> RAS발생부(70)는 노말 동작 신호 n_act와 리프레쉬 동작 신호 r_act와 뱅크 선택 어드레스 add_bk2 및 제어신호 pasr_bk23에 따라 뱅크 제어 블록(130)에 로오 액티브 신호 row_act를 발생한다.

- <41> RAS발생부(80)는 노말 동작 신호 n_act 와 리프레쉬 동작 신호 r_act 와 뱅크 선택 어드레스 add_bk3 및 제어신호 $pasr_bk23$ 에 따라 뱅크 제어 블록(140)에 로오 액티브 신호 row_act 를 발생한다.
- <42> 내부 어드레스 카운터(90)는 리프레쉬 플래그 신호 ref_flag 및 리프레쉬 요구 신호 ref_req 에 따라 내부 어드레스를 카운팅하여 내부 어드레스 $i_add<n-2>$, $i_add<n-3>$ 를 PASR디코더(40)로 출력하고, 내부 어드레스 $i_add<0:n-2>$ 를 로오 프리 디코더(100)로 출력한다.
- <43> 로오 프리 디코더(100)는 외부에서 입력되는 외부 어드레스 $add<0:n-2>$ 와 내부 어드레스 $i_add<0:n-2>$ 를 프리디코딩한다.
- <44> 그리고, 로오 프리 디코더(100)는 노말 동작시 외부 어드레스 $add<0:n-2>$ 를 로오 어드레스 $row_add<0:n-2>$ 로 발생하여 각 뱅크 제어 블록(110~140)으로 출력한다.
- <45> 또한, 로오 프리 디코더(100)는 리프레쉬 동작시 내부 어드레스 $i_add<0:n-2>$ 를 로오 어드레스 $row_add<0:n-2>$ 로 발생하여 각 뱅크 제어 블록(110~140)으로 출력한다.
- <46> 뱅크 제어 블록(110~140)은 각각의 셀 어레이 단위를 이루는 각 뱅크(150~180)를 제어하는 블록이다.
- <47> 여기서, 어드레스 $add<0:n>$ 는 메모리 뎁스(depth)에 해당하는 로오 어드레스로서 0번부터 n번까지이며, 로오 어드레스 중에서 최상위 비트인 어드레스가 뱅크를 선택하기 위한 뱅크 선택 어드레스이다.

- <48> 따라서, 뱅크가 4개로 구성되면 2개의 뱅크 선택 어드레스가 필요하므로 n 과 $n-1$ 이 뱅크 선택 어드레스에 해당하며, 0번부터 $n-2$ 번까지의 어드레스는 각 뱅크의 어레이 및 워드라인 선택을 위한 어드레스이다.
- <49> 이러한 구성을 갖는 본 발명의 동작 과정을 설명하면 다음과 같다.
- <50> 먼저, 외부에서 EMRS를 나타내는 명령신호 `com`가 입력되면 명령 디코더(20)는 모드 레지스터 셋트 신호 `mregset`를 활성화시킨다.
- <51> PASR 디코더(40)는 모드 레지스터 셋트 신호 `mregset`와 어드레스 버퍼(10)에서 버퍼링된 어드레스 `add<0:2>`와 뱅크 선택 어드레스 `add<n>`, `add<n-1>`를 디코딩하여 EMRS 코드에 따라 PASR 셋팅을 수행하여 셋팅된 정보를 래치한다.
- <52> 그리고, PASR 디코더(40)에 래치된 정보는 다른 형태의 EMRS 코드가 입력되기 전까지는 래치된 상태를 유지한다.
- <53> 이후에, 도 2에서와 같이 외부에서 셀프 리프레쉬 명령 `SREF`이 입력되면, 명령 디코더(20)에서 셀프 리프레쉬임을 나타내는 리프레쉬 플래그 신호 `ref_flag` 및 셀프 리프레쉬 신호 `sref`를 발생한다.
- <54> 그리고, PASR 디코더(40)는 래치된 PASR 정보에 따라 제어신호 `pasr_bk0`, `pasr_bk1`, `pasr_bk23`를 각각의 RAS 발생부(50~80)에 선택적으로 출력한다.
- <55> 여기서, PASR 디코더(40)는 노말 동작시에는 제어신호 `pasr_bk0`, `pasr_bk1`, `pasr_bk23`를 모두 활성화시켜 RAS 발생부(50~80)를 모두 활성화가 가능한 상태로 유지한다.

- <56> 그리고, 뱅크 선택 어드레스 $add\langle n \rangle$, $add\langle n-1 \rangle$ 의 상태에 따라 RAS 발생부(50~80) 중 어느 하나가 활성화되면, 로오 액티브 신호 row_act 에 따라 셀 어레이 단위의 뱅크(150~180) 중 해당하는 하나의 뱅크가 선택된다.
- <57> 또한, 로오 프리 디코더(100)는 해당 뱅크의 외부 어드레스 $add\langle 0:n-2 \rangle$ 를 로오 어드레스 $row_add\langle 0:n-2 \rangle$ 로 발생하여 해당하는 워드라인이 활성화된다.
- <58> 반면에, EMRS의 코드가 "모든 뱅크"인 셀프 리프레쉬 동작의 액티브시, PASR 디코더(40)의 제어신호 $pasr_bk0$, $pasr_bk1$, $pasr_bk23$ 가 모두 활성화되어 RAS발생부(50~80)가 모두 활성화가 가능한 상태를 유지한다.
- <59> 그리고, 로오 프리 디코더(100)는 내부 어드레스 카운터(90)에 의해 카운트되어 발생하는 내부 어드레스 $i_add\langle 0:n-2 \rangle$ 를 로오 어드레스 $row_add\langle 0:n-2 \rangle$ 로 발생하여 해당하는 워드라인이 모든 뱅크(150~180)에서 활성화 되도록 한다.
- <60> 또한, EMRS의 코드가 "하프 뱅크"인 셀프 리프레쉬 동작의 액티브시, PASR 디코더(40)의 제어신호 $pasr_bk0$ 및 $pasr_bk1$ 만 활성화되고, 제어신호 $pasr_bk23$ 는 비활성화된다.
- <61> 따라서, RAS 발생부(50,60)의 활성화 상태에서 로오 프리 디코더(100)는 내부 어드레스 카운터(90)에서 카운트되어 발생하는 내부 어드레스 $i_add\langle 0:n-2 \rangle$ 를 로오 어드레스 $row_add\langle 0:n-2 \rangle$ 로 발생하여 해당하는 워드라인이 뱅크(150) 및 뱅크(160)에서 활성화된다.
- <62> 여기서, RAS 발생부(70,80)는 제어신호 $pasr_bk23$ 에 따라 비활성화 되고, 이에 따라 뱅크(170) 및 뱅크(180)는 동작하지 않는다.

- <63> 또한, EMRS의 코드가 "쿼터 बैं크"인 셀프 리프레쉬 동작의 액티브시, PASR 디코더(40)는 제어신호 pasr_bk0만 활성화시키고, 제어신호 pasr_bk1 및 pasr_bk23는 비활성화시킨다.
- <64> 따라서, RAS 발생부(50)만 활성화 상태를 유지하고, 로오 프리 디코더(100)는 내부 어드레스 카운터(90)에서 카운트되어 발생하는 내부 어드레스 i_add<0:n-2>를 로오 어드레스 row_add<0:n-2>로 발생하여 해당하는 워드라인이 बैं크(150)에서 활성화된다.
- <65> 한편, RAS 발생부(60~80)는 제어신호 pasr_bk1 및 pasr_bk23에 따라 비활성화 되어 बैं크(160~180)는 동작하지 않는다.
- <66> 또한, EMRS의 코드가 "하프 오브 어레이"인 셀프 리프레쉬 동작의 액티브시, PASR 디코더(40)의 제어신호 pasr_bk0만 활성화되고, 제어신호 pasr_bk1 및 pasr_bk23 신호는 비활성화 상태를 유지한다.
- <67> 여기서, PASR 디코더(40)는 내부 어드레스 카운터(90)에서 발생하는 내부 어드레스 i_add<n-2>가 하이 위상(Phase)인 경우 제어신호 pasr_bk0을 비활성화시킨다.
- <68> 즉, PASR 디코더(40)는 बैं크 내의 최상위 비트 어드레스가 하이 구간일 경우, 활성화되어 있던 제어신호 pasr_bk0를 비활성화시켜 बैं크(150)가 동작되지 않게 한다. 따라서, बैं크(150) 중에서 절반에 해당하는 셀 어레이에 대해서만 정해진 리프레쉬 기간 동안 셀프 리프레쉬를 수행한다.
- <69> 또한, EMRS의 코드가 "쿼터 오프 어레이"인 셀프 리프레쉬 동작의 액티브시, PASR 디코더(40)의 제어신호 pasr_bk0만 활성화되고, 제어신호 pasr_bk1 및 pasr_bk23는 비활성화된다.

- <70> 여기서, PASR 디코더(40)는 내부 어드레스 카운터(90)에서 발생하는 내부 어드레스 $i_add<n-2>$ 가 하이 위상이거나 내부 어드레스 $i_add<n-3>$ 가 하이 위상일 경우 제어신호 $pasr_bk0$ 를 비활성화시킨다.
- <71> 즉, PASR 디코더(40)는 뱅크 내의 2개의 최상위 비트 어드레스가 둘중 하나 또는 둘 모두 하이 구간인 때에는 활성화되어 있던 제어신호 $pasr_bk0$ 를 비활성화시켜 뱅크 (150)가 동작되지 않게 한다. 따라서, 뱅크(150) 중에서 쿼터에 해당하는 셀 어레이에 대해서만 정해진 리프레쉬 기간 동안 셀프 리프레쉬를 수행한다.
- <72> 도 4는 본 발명의 외부 명령의 입력시 셀프 리프레쉬 신호 $sref$, 리프레쉬 플래그 신호 ref_flag 및 리프레쉬 요구 신호 ref_req 에 대한 동작 타이밍도를 나타낸다.
- <73> 먼저, 셀프 리프레쉬 신호 $sref$ 는 셀프 리프레쉬 명령 SREF에 의해 활성화되고, 셀프 리프레쉬 종료 명령 SREX에 의하여 비활성화된다. 여기서, 리프레쉬 플래그 신호 ref_flag 는 리프레쉬 구간 동안 활성화 상태를 유지한다.
- <74> 그리고, 리프레쉬 요구 신호 ref_req 는 리프레쉬 동작시 내부의 리프레쉬 카운터 (30)에 의하여 정해진 리프레쉬 구간 동안 정해진 사이클 수만큼 펄스 신호를 발생한다.
- <75> 예를 들어, 64msec 동안 8K 사이클의 리프레쉬 특성을 갖는다면, 리프레쉬 요구 신호 ref_req 는 64msec 동안 8K번의 펄스 신호를 발생하고, 펄스와 펄스간의 시간 간격은 8usec가 된다.
- <76> 도 5는 도 3의 PASR 디코더(40)에 관한 상세 구성도이다.



- <77> PASR 디코더(40)는 EMRS에 대한 명령을 디코딩하는 EMRS 디코더(41)과, EMRS 명령의 입력시 PASR 코드를 나타내는 어드레스 0,1,2를 기억하는 EMRS 어드레스 래치(42~44)와, 셀 어레이에 대한 선택적인 셀프 리프레쉬 동작이 가능하도록 PASR을 제어하는 PASR 제어부(45)를 구비한다.
- <78> 여기서, EMRS 디코더(41)는 명령 디코더(20)로부터 인가되는 모드 레지스터 셋트 신호 mregset와, 뱅크 선택 어드레스 $add<n>$, $add<n-1>$ 를 디코딩하여 레지스터 셋트 제어신호 emrsp를 출력한다.
- <79> 어드레스 래치(42)는 모드 레지스터 셋트 신호 mregset와, 레지스터 셋트 제어신호 emrsp 및 셀프 리프레쉬 신호 sref에 따라 어드레스 $add<0>$ 를 래치하여 레지스터 셋트 어드레스 emrsa<0>를 출력한다.
- <80> 그리고, 어드레스 래치(43)는 모드 레지스터 셋트 신호 mregset와, 레지스터 셋트 제어신호 emrsp 및 셀프 리프레쉬 신호 sref에 따라 어드레스 $add<1>$ 를 래치하여 레지스터 셋트 어드레스 emrsa<1>를 출력한다.
- <81> 또한, 어드레스 래치(44)는 모드 레지스터 셋트 신호 mregset와, 레지스터 셋트 제어신호 emrsp 및 셀프 리프레쉬 신호 sref에 따라 어드레스 $add<2>$ 를 래치하여 레지스터 셋트 어드레스 emrsa<2>를 출력한다.
- <82> PASR 제어부(45)는 어드레스 래치(42~44)로부터 인가되는 각각의 레지스터 셋트 어드레스 emrsa<0:2>와, 내부 어드레스 카운터(90)로부터 인가되는 내부 어드레스 $i_add<n-2>$, $i_add<n-3>$ 를 제어하여 제어신호 pasr_bk0, pasr_bk1, pasr_bk23를 선택적으로 출력한다.

- <83> 도 6은 도 5의 EMRS 디코더(41)에 대한 상세 회로도이다.
- <84> EMRS 디코더(41)는 뱅크 선택 어드레스 $add<n-1>$ 을 반전하여 출력하는 인버터 IV1과, 뱅크 선택 어드레스 $add<n-1>$ 및 인버터 IV1의 출력신호를 낸드 연산하는 낸드게이트 ND1를 구비한다. 그리고, 낸드게이트 ND1의 출력신호를 반전하여 출력하는 인버터 IV2와, 모드 레지스터 셋트 신호 $mregset$ 및 인버터 IV2의 출력신호를 낸드 연산하여 레지스터 셋트 제어신호 $emrsp$ 를 출력하는 낸드게이트 ND2를 구비한다.
- <85> 이러한 구성을 갖는 EMRS 디코더(41)의 동작과정을 설명하면 다음과 같다.
- <86> 먼저, 외부로부터 PASR을 수행하기 위한 EMRS 명령이 입력되면 명령 디코더(20)는 모드 레지스터 셋트 신호 $mregset$ 를 활성화시킨다. 그리고, EMRS 디코더(41)는 버퍼링된 어드레스 $add<0:n>$ 중 뱅크 선택 어드레스 $add<n>$ 가 하이 레벨이고 뱅크 선택 어드레스 $add<n-1>$ 가 로우 레벨인지를 판단한다.
- <87> 이후에, 뱅크 선택 어드레스 $add<n>$, $add<n-1>$ 의 레벨이 도 1의 EMRS 코드와 일치할 경우 레지스터 셋트 제어신호 $emrsp$ 를 활성화시킨다.
- <88> 도 7은 도 5의 EMRS 어드레스 래치(42~44)에 대한 상세 회로도이다.
- <89> EMRS 어드레스 래치(42~44)는 모드 레지스터 셋트 신호 $mregset$ 에 따라 어드레스 $add<i>$ (여기서, $i=0,1,2$)를 선택적으로 출력하는 스위치 S/W<0>과, 스위치 S/W<0>의 출력신호를 래치하는 래치 R1를 구비한다. 여기서, 래치 R1는 서로의 출력신호를 입력신호로 하는 인버터 IV3, IV4를 구비한다.
- <90> 그리고, EMRS 어드레스 래치(42~44)는 레지스터 셋트 제어신호 $emrsp$ 에 따라 래치 R1의 출력신호를 선택적으로 출력하는 스위치 S/W<1>과, 스위치 S/W<1>의 출력신호를 래

치하는 래치 R2를 구비한다. 여기서, 래치 R2는 서로의 출력신호를 입력신호로 하는 인버터 IV5, IV6를 구비한다.

- <91> 또한, EMRS어드레스 래치(42~44)는 셀프 리프레쉬 신호 sref와 래치 R2의 출력을 낸드 연산하는 낸드게이트 ND3과, 낸드게이트 ND3의 출력신호를 반전하여 레지스터 셋트 어드레스 emrsa<i>(여기서, i=0,1,2)를 출력하는 인버터 IV7을 구비한다.
- <92> 이러한 구성을 갖는 EMRS 어드레스 래치(42~44)는 EMRS 명령과 함께 입력되는 어드레스 add<0:2>를 래치한다.
- <93> 그리고, 모드 레지스터 셋트 신호 mregset에 따라 스위치 S/W<0>가 제어되어 어드레스 add<0:2>를 래치하여 출력한다. 또한, 레지스터 셋트 제어신호 emrsp에 따라 스위치 S/W<1>이 제어되어 래치 R1의 출력신호를 래치하여 출력한다.
- <94> 이어서, 셀프 리프레쉬 신호 sref의 입력에 따라 레지스터 셋트 어드레스 emrsa<i>를 활성화시킨다.
- <95> 여기서, EMRS의 코드를 래치하고 있는 중에 셀프 리프레쉬 신호 sref가 비활성화 상태일 경우에는 레지스터 셋트 어드레스 emrsa<i>는 모두 로우 레벨을 유지한다.
- <96> 도 8은 도 5의 PASR제어부(45)에 대한 상세 회로도이다.
- <97> 인버터 IV8은 레지스터 셋트 어드레스 emrsa<0>를 반전하여 레지스터 셋트 어드레스 emrsaz<0>를 출력한다. 인버터 IV9는 레지스터 셋트 어드레스 emrsa<1>를 반전하여 레지스터 셋트 어드레스 emrsaz<1>를 출력한다. 인버터 IV10은 레지스터 셋트 어드레스 emrsa<2>를 반전하여 레지스터 셋트 어드레스 emrsaz<2>를 출력한다.

- <98> 그리고, 낸드게이트 ND4는 레지스터 셋트 어드레스 emrsaz<0> 및 레지스터 셋트 어드레스 emrsa<1>을 낸드연산하고, 낸드게이트 ND5는 낸드게이트 ND4의 출력신호와 레지스터 셋트 어드레스 emrsaz<2>를 낸드연산하여 출력한다. 인버터 IV11는 낸드게이트 ND5의 출력신호를 반전하여 제어신호 pasr_bk1을 출력한다.
- <99> 또한, 낸드게이트 ND6는 레지스터 셋트 어드레스 emrsa<0> 및 레지스터 셋트 어드레스 emrsaz<1>를 낸드 연산하여 출력하고, 낸드게이트 ND7은 레지스터 셋트 어드레스 emrsaz<2> 및 낸드게이트 ND6의 출력신호를 낸드연산하여 출력한다. 노아게이트 NOR1는 낸드게이트 ND5의 출력신호 및 낸드게이트 ND7의 출력신호를 노아 연산하여 제어신호 pasr_bk23을 출력한다.
- <100> 낸드게이트 ND8, ND9는 레지스터 셋트 어드레스 emrsa<0>, emrsaz<1>, emrsa<2>를 각각 낸드연산하여 출력한다. 낸드게이트 ND10은 낸드게이트 ND8, ND9의 출력신호를 낸드연산하여 출력하고, 인버터 IV12는 낸드게이트 ND9의 출력신호를 반전하여 출력한다.
- <101> 또한, 낸드게이트 ND11은 내부 어드레스 i_add<n-2>와 낸드게이트 ND10의 출력신호를 낸드연산하여 출력하고, 낸드게이트 ND12는 내부 어드레스 i_add<n-3>와 인버터 IV12의 출력신호를 낸드연산하여 출력한다.
- <102> 낸드게이트 ND13은 낸드게이트 ND11, ND12의 출력신호를 낸드연산하여 출력하고, 인버터 IV13는 낸드게이트 ND13의 출력신호를 반전하여 제어신호 pasr_bk0를 출력한다.
- <103> 이러한 구성을 갖는 PASR제어부(45)의 동작 과정을 설명하면 다음과 같다.

- <104> 먼저, 노말 동작시에는 셀프 리프레쉬 신호 sref가 비활성화 상태이므로 레지스터 셋트 어드레스 emrsa<0:2>가 모두 로우 레벨이 된다. 따라서, 제어신호 pasr_bk0, pasr_bk1 및 pasr_bk23가 모두 하이 레벨을 갖는다.
- <105> 반면에, 셀프 리프레쉬 동작시 레지스터 셋트 어드레스 emrsa<0:2>는 EMRS 명령의 입력시 함께 입력된 어드레스 add<0:2>의 레벨을 나타낸다. 따라서, EMRS명령의 입력시 각 어드레스 0,1,2의 상태에 따라 제어신호들은 다음과 같은 레벨 변화를 갖는다.
- <106> 먼저, 어드레스 코드가 "모든 बैं크"일 경우 각 제어신호 pasr_bk0, pasr_bk1 및 pasr_bk23가 모두 하이 레벨을 갖는다.
- <107> 그리고, 어드레스 코드가 "하프 어레이"일 경우 제어신호 pasr_bk0 및 제어신호 pasr_bk1는 하이 레벨이 되고, 제어신호 pasr_bk23는 로우 레벨이 된다.
- <108> 어드레스 코드가 "쿼터 어레이"일 경우 제어신호 pasr_bk0는 하이 레벨이 되고, 제어신호 pasr_bk1 및 pasr_bk23는 로우 레벨이 된다.
- <109> 또한, 어드레스 코드가 "하프 오브 बैं크"일 경우 제어신호 pasr_bk0는 하이 레벨이 되고, 제어신호 pasr_bk1 및 pasr_bk2는 로우 레벨이 된다.
- <110> 어드레스 코드가 "쿼터 오브 बैं크"일 경우 제어신호 pasr_bk0는 하이 레벨이 되고, 제어신호 pasr_bk1 및 pasr_bk23는 로우 레벨이 된다.
- <111> 따라서, 기설정된 어드레스 코드에 따라 RAS발생부(50~80)를 활성화시키기 위한 제어신호들 pasr_bk0, pasr_bk1, pasr_bk23을 선택적으로 출력한다.
- <112> 한편, 도 9는 도 3의 RAS 발생부(50~80)에 관한 상세 회로도를 나타낸다.

- <113> RAS발생부(50~80)는 전원전압단 VDD 및 접지전압단 GND 사이에 직렬 연결된 PMOS트랜지스터 P1, P2와 NMOS트랜지스터 N1,N2를 구비한다. 여기서, PMOS트랜지스터 P1의 게이트에는 노말 동작 신호 n_act 가 입력되고, PMOS트랜지스터 P2의 게이트에는 리프레쉬 동작 신호 r_act 가 입력된다.
- <114> 또한, NMOS트랜지스터 N1의 게이트에는 노말 동작 신호 n_act 가 입력되고, NMOS트랜지스터 N2의 게이트에는 뱅크 선택 어드레스 $add_bk<i>$ 가 입력된다.
- <115> 그리고, PMOS트랜지스터 P2 및 NMOS트랜지스터 N1의 공통 드레인 단자와 접지전압단 GND 사이에는 NMOS트랜지스터 N3 및 NMOS트랜지스터 N4가 직렬 연결된다. 여기서, NMOS트랜지스터 N3의 게이트에는 리프레쉬 동작 신호 r_act 가 입력되고, NMOS트랜지스터 N4의 게이트에는 제어신호 $pasr_bk<j>$ 가 입력된다.
- <116> 인버터 IV14는 NMOS트랜지스터 N1 및 NMOS트랜지스터 N3의 공통 드레인 단자의 출력신호를 반전하여 해당 뱅크를 활성화시키기 위한 로오 액티브 신호 row_act 를 발생한다.
- <117> 도 10은 상술된 노말 동작 신호 n_act 및 리프레쉬 동작 신호 r_act 의 동작을 나타내는 타이밍도이다.
- <118> 먼저, 노말 동작의 액티브 명령 ACT이 외부로부터 입력되면, 노말 동작 신호 n_act 가 활성화된다.
- <119> 그리고, 셀프 리프레쉬 동작시 셀프 리프레쉬 명령 SREF이 입력되면 내부의 리프레쉬 카운터(30)에 의한 리프레쉬 리퀘스트 신호 ref_req 의 활성화에 의하여 리프레쉬 동작 신호 r_act 가 활성화된다.

- <120> 따라서, 노말 액티브 동작시에는 노말 동작 신호 n_act 신호가 활성화되어 PMOS트랜지스터 P1가 턴오프되고 NMOS트랜지스터 N1가 턴온된다.
- <121> 이때, 뱅크 선택 어드레스 $add_bk<i>$ 가 활성화 상태이면 로오 액티브 신호 row_act 가 활성화되고, 뱅크 선택 어드레스 $add_bk<i>$ 가 비활성화 상태이면 로오 액티브 신호 row_act 가 비활성화된다. 여기서, i 는 0,1,2,3으로 각 숫자는 각각의 뱅크<0>,<1>,<2>,<3>에 해당한다. 따라서, 로오 액티브 신호 row_act 가 활성화되는 뱅크만 활성화가 가능하게 된다.
- <122> 반면에, 셀프 리프레쉬 동작시 리프레쉬 동작 신호 r_act 가 활성화되면 PMOS트랜지스터 P2가 턴오프되고 NMOS트랜지스터 N3이 턴온된다. 이때, PASR 정보를 갖고 있는 제어신호 $pasr_bk<j>$ 가 활성화 상태이면 로오 액티브 신호 row_act 가 활성화되고, 제어신호 $pasr_bk<j>$ 신호가 비활성화 상태이면 로오 액티브 신호 row_act 가 비활성화된다. 따라서, 로오 액티브 신호 row_act 가 활성화되는 뱅크만 활성화가 가능하게 된다.

【발명의 효과】

- <123> 이상에서 설명한 바와 같이, 본 발명은 메모리의 소비 전력을 획기적으로 줄일 수 있고, 피크 동작 전류를 줄임으로써 노이즈를 감소시킬 수 있도록 하는 효과를 제공한다

【특허청구범위】

【청구항 1】

확장 모드 레지스터 셋트 코드로 기설정된 어드레스를 모드 레지스터 셋트 신호에 따라 디코딩하여 래치하고, 셀프 리프레쉬 신호의 활성화시 해당 어드레스를 조합하여 부분 어레이 셀프 리프레쉬 동작을 수행하기 위한 복수개의 제어신호들을 선택적으로 출력하는 부분 어레이 셀프 리프레쉬 디코더; 및

상기 복수개의 제어신호들의 활성화시 로오 액티브 신호를 출력하여 선택된 로오 어드레스에 해당하는 뱅크를 활성화시키는 로오 어드레스 스트로브 발생부를 구비함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 2】

제 1 항에 있어서,

외부로부터 입력되는 리프레쉬 명령을 디코딩하여 상기 모드 레지스터 셋트 신호, 상기 셀프 리프레쉬 신호 및 리프레쉬 플래그 신호를 출력하는 명령 디코더;

상기 리프레쉬 플래그 신호에 따라 리프레쉬 주기에 해당하는 카운팅 동작을 수행하여 리프레쉬 요구 신호를 출력하는 리프레쉬 카운터;

상기 리프레쉬 플래그 신호 및 리프레쉬 요구 신호에 따라 내부 어드레스를 카운팅하여 발생하는 내부 어드레스 카운터; 및

노말 동작시 외부로부터 입력되는 외부 어드레스를 상기 로오 어드레스로 출력하고, 리프레쉬 동작시 상기 내부 어드레스를 상기 로오 어드레스로 출력하는 로오 프리 디코더를 구비함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 부분 어레이 셀프 리프레쉬 디코더는

부분 어레이 셀프 리프레쉬 동작이 모든 뱅크일 경우 상기 복수개의 제어신호들이 모두 활성화되고, 하프 뱅크일 경우 상기 복수개의 제어신호들의 절반에 해당하는 갯수의 제어신호들이 활성화되고, 쿼터 뱅크일 경우 상기 복수개의 제어신호들의 1/4에 해당하는 갯수의 제어신호가 활성화됨을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 4】

제 1 항 또는 제 2 항에 있어서, 상기 부분 어레이 셀프 리프레쉬 디코더는

부분 어레이 셀프 리프레쉬 동작이 하프 어레이일 경우 상기 뱅크 내의 최상위 비트 어드레스가 하이 레벨이 되는 시점까지 상기 복수개의 제어신호들의 1/4에 해당하는 갯수의 제어신호가 활성화됨을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 5】

제 1 항 또는 제 2 항에 있어서, 상기 부분 어레이 셀프 리프레쉬 디코더는

부분 어레이 셀프 리프레쉬 동작이 쿼터 어레이일 경우 상기 뱅크 내의 최상위 비트 어드레스 2개 중 어느 하나가 하이 레벨이 되는 시점까지 상기 복수개의 제어신호들의 1/4에 해당하는 갯수의 제어신호가 활성화됨을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 6】

제 1 항 또는 제 2 항에 있어서, 상기 부분 어레이 셀프 리프레쉬 디코더는

상기 모드 레지스터 셋트 신호에 따라 뱅크 선택 어드레스를 디코딩하여 레지스터 셋트 제어신호를 출력하는 확장 모드 레지스터 셋트 디코더;

상기 모드 레지스터 셋트 신호의 인가시 상기 레지스터 셋트 제어신호 및 셀프 리프레쉬 신호에 따라 복수개의 어드레스를 각각 래치하여 복수개의 레지스터 셋트 어드레스를 출력하는 복수개의 어드레스 래치; 및

상기 내부 어드레스의 입력에 따라 상기 복수개의 레지스터 셋트 어드레스를 디코딩하여 상기 복수개의 제어신호들을 선택적으로 출력하는 부분 어레이 셀프 리프레쉬 제어부를 구비함을 특징으로 셀프 리프레쉬 장치.

【청구항 7】

제 6 항에 있어서, 상기 확장 모드 레지스터 셋트 디코더는

상기 모드 레지스터 셋트 신호의 활성화시 상기 뱅크 선택 어드레스의 최상위 비트 어드레스가 하이 레벨이고, 2번째 최상위 비트 어드레스가 로우 레벨일 경우 상기 레지스터 셋트 제어신호를 활성화시킴을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 8】

제 7 항에 있어서, 상기 확장 모드 레지스터 셋트 디코더는

상기 2번째 최상위 비트 어드레스를 반전하는 제 1인버터;

상기 최상위 비트 어드레스 및 상기 제 1인버터의 출력신호를 낸드연산하는 제 1 낸드게이트;

상기 제 1 낸드게이트의 출력신호를 반전하는 제 2인버터; 및

상기 모드 레지스터 셋트 신호와 상기 제 2인버터의 출력신호를 낸드연산하여 상기 레지스터 셋트 제어신호를 출력하는 제 2 낸드게이트를 구비함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 9】

제 6 항에 있어서, 상기 복수개의 어드레스 래치는

상기 모드 레지스터 셋트 신호에 따라 상기 복수개의 어드레스를 선택적으로 출력하는 제 1스위치;

상기 제 1스위치의 출력신호를 래치하는 제 1래치;

상기 레지스터 셋트 제어신호에 따라 상기 제 1래치의 출력신호를 선택적으로 출력하는 제 2스위치;

상기 제 2스위치의 출력신호를 래치하는 제 2래치; 및

상기 셀프 리프레쉬 신호의 활성화시 상기 제 2래치의 출력을 복수개의 레지스터 셋트 어드레스로 출력하는 제 1논리부를 구비함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 10】

제 9 항에 있어서, 상기 제 1래치는

서로의 출력신호가 입력신호로 피드백되는 제 3인버터 및 제 4인버터를 구비함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 11】

제 9 항에 있어서, 상기 제 2래치는

서로의 출력신호가 입력신호로 피드백되는 제 5인버터 및 제 6인버터를 구비함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 12】

제 9 항에 있어서, 상기 제 1논리부는

상기 셀프 리프레쉬 신호와 상기 제 2래치의 출력을 낸드연산하는 제 3낸드게이트 ; 및

상기 제 3낸드게이트의 출력신호를 반전하는 제 7인버터를 구비함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 13】

제 6 항에 있어서, 상기 부분 어레이 셀프 리프레쉬 제어부는

상기 레지스터 셋트 어드레스 및 반전된 상기 레지스터 셋트 어드레스를 디코딩한 제 1, 제 2 및 제 3제어신호를 출력하고, 상기 제 1제어신호는 상기 내부 어드레스에 따라 선택적으로 출력됨을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 14】

제 13 항에 있어서, 상기 제 1제어신호는

상기 내부 어드레스의 최상위 비트 어드레스 및 2번째 최상위 비트 어드레스가 모두 하이 레벨이거나, 최상위 비트 어드레스 및 2번째 최상위 비트 어드레스 중 어느 하나가 하이 레벨일 경우 출력됨을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 15】

제 2 항에 있어서, 상기 로오 액티브 신호는

노말 동작의 액티브시 노말 동작시 활성화되는 노말 동작 신호와 뱅크 선택 어드레스의 상태에 따라 활성화가 결정되고, 리프레쉬 동작의 액티브시 리프레쉬 동작시 활성화되는 리프레쉬 동작 신호와 상기 복수개의 제어신호들의 상태에 따라 활성화가 결정됨을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 16】

제 15 항에 있어서, 상기 로오 어드레스 스트로브 발생부는

상기 노말 동작 신호와 상기 리프레쉬 동작 신호에 따라 선택적으로 턴온되는 제 1스위칭 수단;

상기 노말 동작 신호의 활성화시 상기 뱅크 선택 어드레스 활성화에 따라 턴온되어 상기 로오 액티브 신호를 활성화시키는 제 2스위칭 수단; 및

상기 리프레쉬 동작 신호의 활성화시 상기 복수개의 제어신호들의 활성화에 따라 턴온되어 상기 로오 액티브 신호를 활성화시키는 제 3스위칭 수단을 구비함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 17】

제 16 항에 있어서, 상기 리프레쉬 동작 신호는

상기 리프레쉬 요구 신호의 대응하여 발생함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 18】

제 16 항에 있어서, 상기 제 1스위칭 수단은

전원전압 인가단과 상기 제 2스위칭 수단의 사이에 직렬 연결되고, 게이트를 통해 각각 상기 노말 동작 신호가 인가되는 제 1PMOS트랜지스터, 상기 리프레쉬 동작 신호가 인가되는 제 2PMOS트랜지스터 및 상기 노말 동작 신호가 인가되는 제 1NMOS트랜지스터; 및

상기 제 2PMOS트랜지스터 및 제 1NMOS트랜지스터의 공통 드레인 단자와 제 3스위칭 수단의 사이에 연결되어 게이트를 통해 상기 노말 동작 신호가 인가되는 제 2NMOS트랜지스터를 구비함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 19】

제 16 항에 있어서, 상기 제 2스위칭 수단은

상기 제 1스위칭 수단과 접지전압 인가단 사이에 연결되어 게이트를 통해 상기뱅크 선택 어드레스가 인가되는 제 3NMOS트랜지스터를 구비함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 20】

제 16 항에 있어서, 상기 제 3스위칭 수단은

상기 제 1스위칭 수단과 접지전압 인가단 사이에 연결되어 게이트를 통해 상기 복수개의 제어신호들이 인가되는 제 4NMOS트랜지스터를 구비함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 21】

제 16 항에 있어서,

상기 제 1스위칭 수단의 출력신호를 반전하는 제 8인버터를 더 구비함을 특징으로 하는 셀프 리프레쉬 장치.

【청구항 22】

제 1 항 또는 제 2 항에 있어서, 상기 로오 어드레스 스트로브 발생부는

상기 뱅크의 수와 동일한 갯수만큼 구비됨을 특징으로 하는 셀프 리프레쉬 장치.



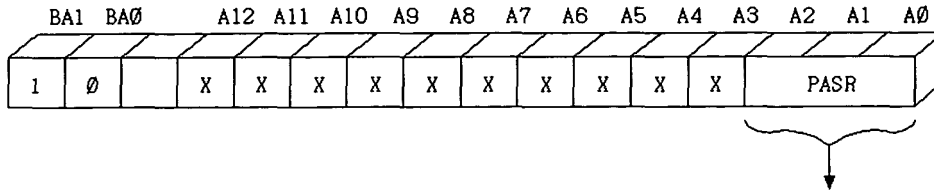
1020020068749

출력 일자: 2003/5/21



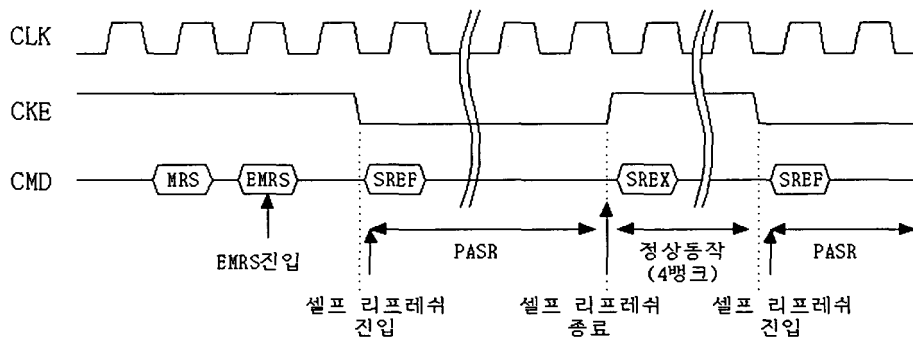
【도면】

【도 1】



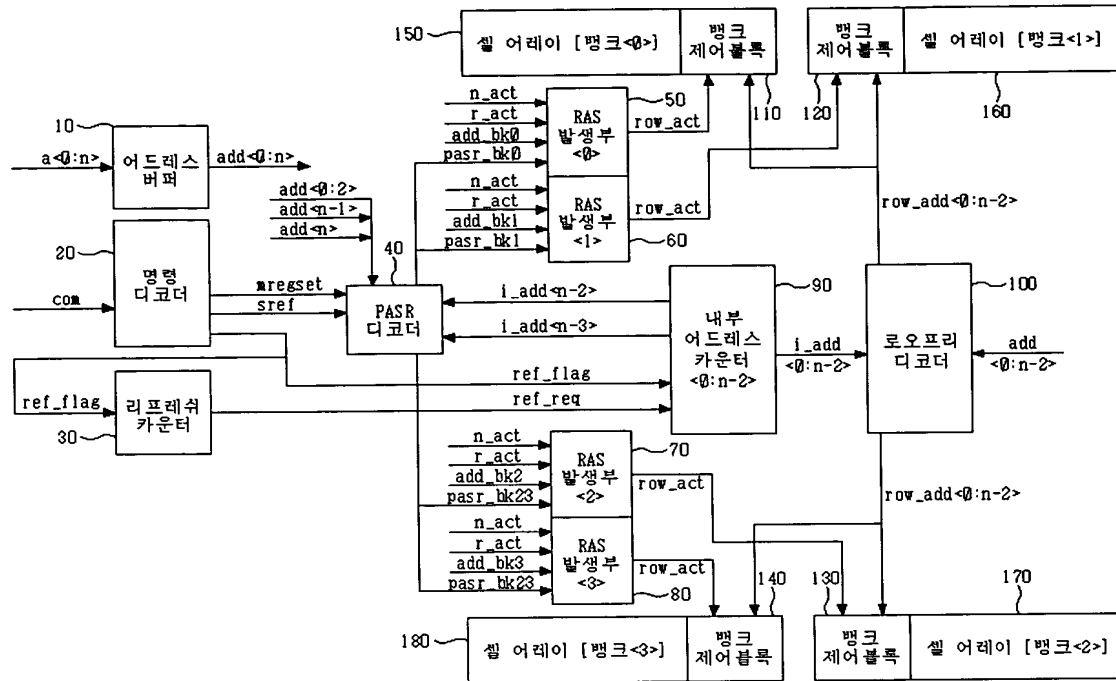
A2	A1	A0	셀프 리프레쉬 적용
0	0	0	모든 बैं크
0	0	1	하프 어레이 (BA1=0)
0	1	0	쿼터 어레이 (BA1=BA0=0)
0	1	1	RFU
1	0	0	RFU
1	0	1	하프 오브 बैं크 (BA1=BA0=로오 어드레스 MSB=0)
1	1	0	쿼터 오브 बैं크 (BA1=BA0=로오 어드레스2 MSBs=0)
1	1	1	RFU

【도 2】

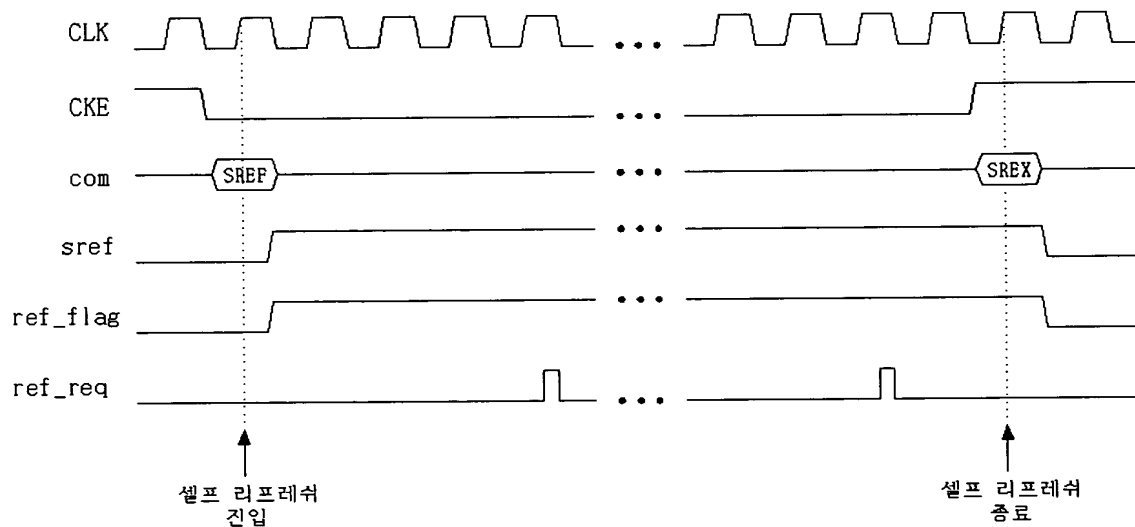




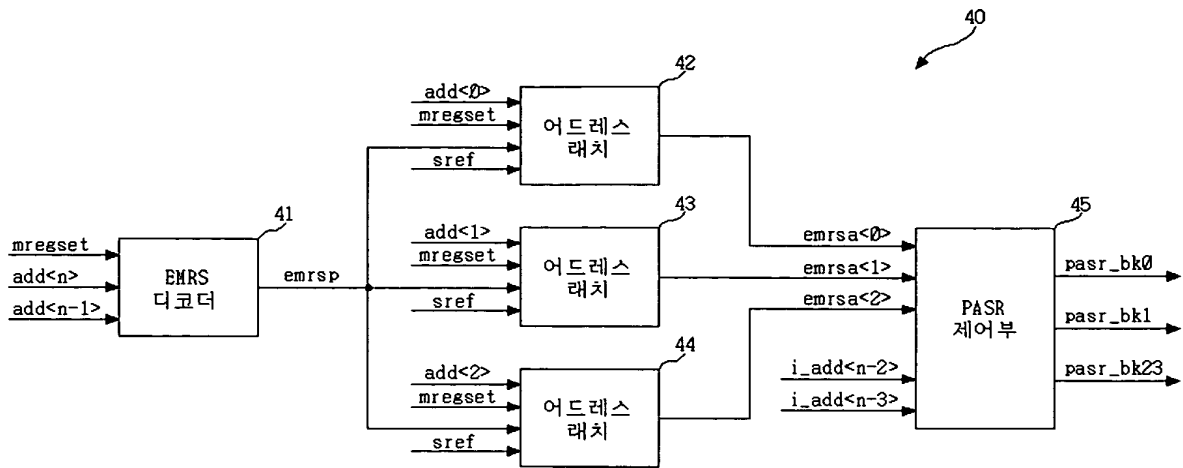
【도 3】



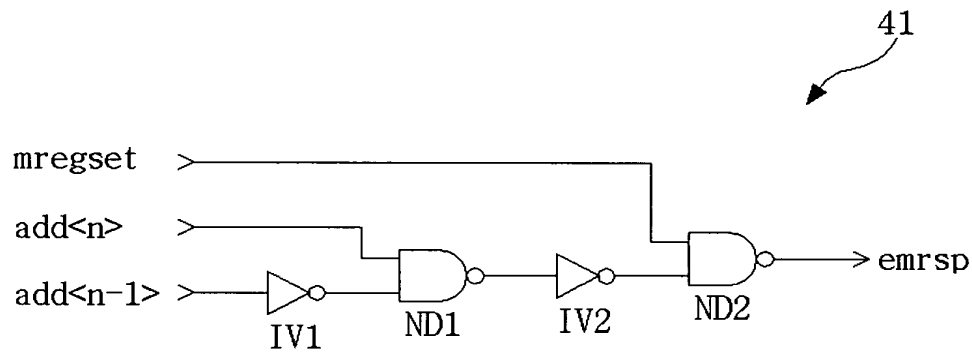
【도 4】



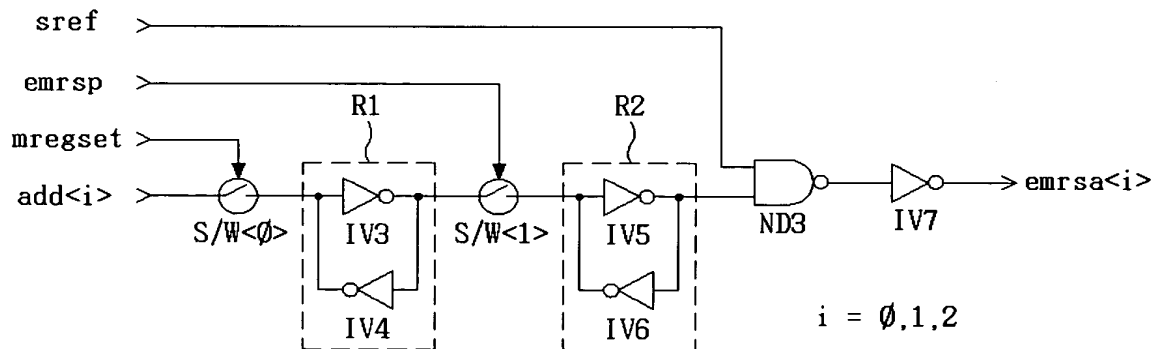
【도 5】



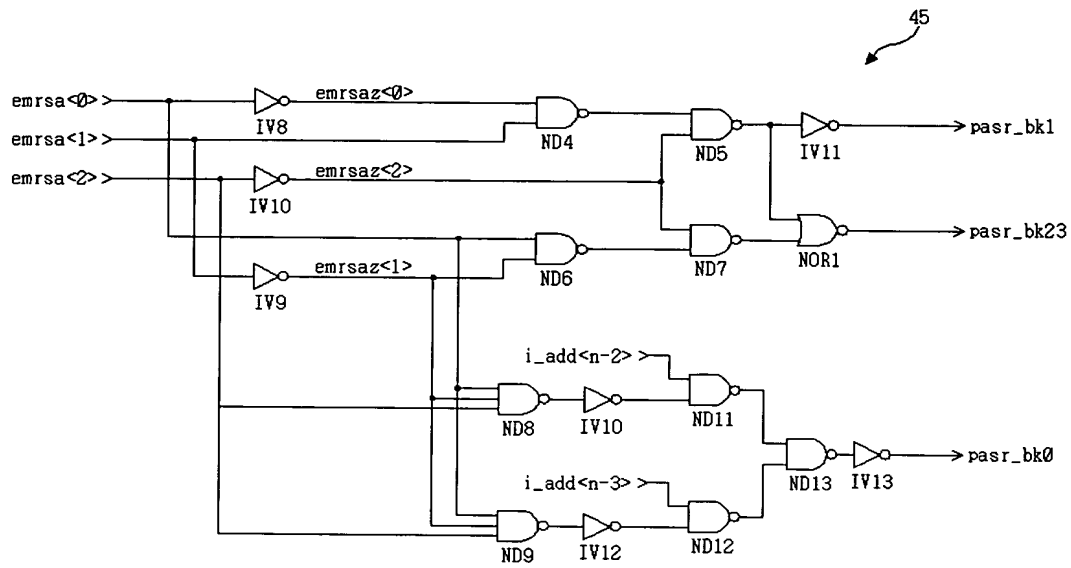
【도 6】



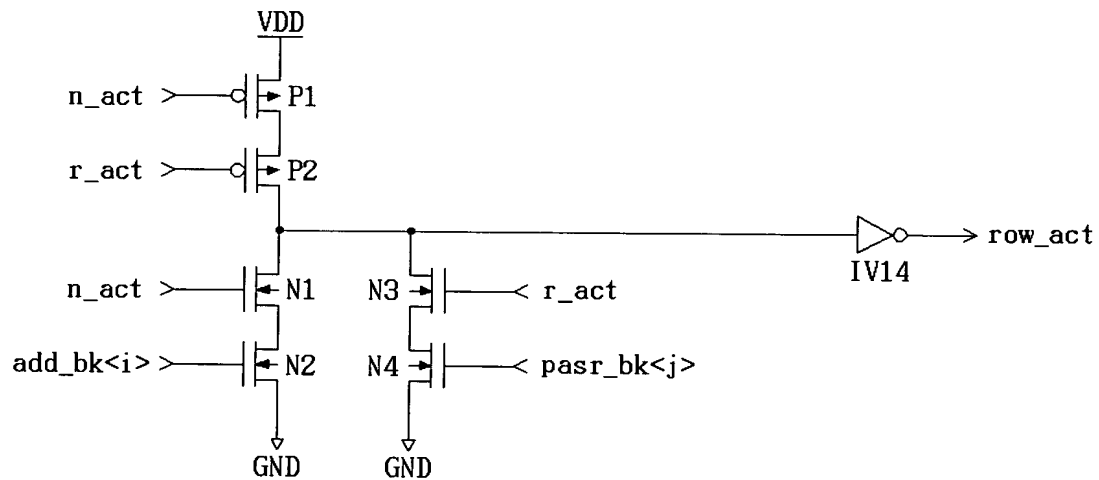
【도 7】



【도 8】



【도 9】



【도 10】

